

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

12001290

Basic Patent (No,Kind,Date): JP 6250225 A2 19940909 <No. of Patents: 002>

LIQUID CRYSTAL DISPLAY DEVICE AND INSPECTION METHOD THEREFOR  
(English)

Patent Assignee: CANON KK

Author (Inventor): SUGAWA SHIGETOSHI; KOUCHI TETSUNOBU

IPC: \*G02F-001/136; G01M-011/00; G01R-031/00

JAPIO Reference No: 180642P000073

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 6250225	A2	19940909	JP 9361385	A	19930226	(BASIC)
<b>JP 3122866</b>	B2	20010109	JP 9361385	A	19930226	

Priority Data (No,Kind,Date):

JP 9361385 A 19930226

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

04578325 \*\*Image available\*\*

**LIQUID CRYSTAL DISPLAY DEVICE AND INSPECTION METHOD THEREFOR**

PUB. NO.: **06-250225** [JP 6250225 A]

PUBLISHED: September 09, 1994 (19940909)

INVENTOR(s): SUGAWA SHIGETOSHI

KOUCHI TETSUNOBU

APPLICANT(s): CANON INC [000100] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.: 05-061385 [JP 9361385]

FILED: February 26, 1993 (19930226)

INTL CLASS: [5] G02F-001/136; G01M-011/00; G01R-031/00

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 46.1  
(INSTRUMENTATION -- Measurement); 46.2 (INSTRUMENTATION --  
Testing)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS)

JOURNAL: Section: P, Section No. 1838, Vol. 18, No. 642, Pg. 73,  
December 06, 1994 (19941206)

**ABSTRACT**

PURPOSE: To make it possible to discriminate whether respective substrates are defective or nondefective with a simple inspection table by providing an inspection circuit consisting of an amplifier for reading out the signals once written into pixels and a reset switch for resetting a signal input line at a specified potential.

CONSTITUTION: The inspection circuit A consisting of the amplifier 11 and the reset switch 13 is formed on this semiconductor side substrate. Namely, an amplifier 11 is connected to the video input signal line 9 and an output terminal 12 of this amplifier is formed. The video signal input line 9 is connected via the reset switch 13 to a reset potential input terminal 15. The signal is written in the pixel 4 via a horizontal transfer switch 8 from the video signal input line 9 by this constitution. This signal is read out by the inspection circuit A, thereby, the defect of the pixel 4 and the defect of the peripheral circuit are detected. Then, there is no need for preparing other circuits corresponding to a horizontal scanning circuit 7 and a vertical scanning circuit 10 on the inspection table side. Whether the respective substrates are defective or nondefective are thus discriminated by the simple inspection table.

(19)日本国特許庁 (JP)

(12) 特許公報 (B2)

(11)特許番号

特許第3122866号  
(P3122866)

(45)発行日 平成13年1月9日(2001.1.9)

(24)登録日 平成12年10月27日(2000.10.27)

(51)Int.Cl.<sup>7</sup>  
G 0 2 F 1/1368

識別記号

F I  
G 0 2 F 1/136 5 0 0

請求項の数3(全6頁)

(21)出願番号 特願平5-61385  
(22)出願日 平成5年2月26日(1993.2.26)  
(65)公開番号 特開平6-250225  
(43)公開日 平成6年9月9日(1994.9.9)  
審査請求日 平成10年5月18日(1998.5.18)

(73)特許権者 000001007  
キヤノン株式会社  
東京都大田区下丸子3丁目30番2号  
(72)発明者 須川 成利  
東京都大田区下丸子3丁目30番2号 キ  
ヤノン株式会社内  
(72)発明者 光地 哲伸  
東京都大田区下丸子3丁目30番2号 キ  
ヤノン株式会社内  
(74)代理人 100059410  
弁理士 豊田 善雄 (外1名)  
審査官 右田 昌士  
(56)参考文献 特開 平3-142499 (JP, A)  
特開 平3-20782 (JP, A)  
特開 平6-43490 (JP, A)

最終頁に続く

(54)【発明の名称】 液晶表示装置及びその検査方法

(57)【特許請求の範囲】

【請求項1】 複数の映像信号線に垂直走査回路で走査される複数の画素トランジスタを介して液晶セルを接続した液晶表示装置において、各映像信号線をそれぞれ水平走査回路で制御される水平転送スイッチを介して共通の映像信号入力線に接続し、前記各映像信号線を、それぞれ前記水平走査回路で走査されるモニタ信号転送スイッチを介してモニタ信号線に接続し、前記モニタ信号線に、一度画素に書き込んだ信号を読み出すアンプ及び前記モニタ信号線を一定電位にリセットするリセットスイッチから成る検査回路を設けたことを特徴とする液晶表示装置。

【請求項2】 前記映像信号線を信号線リセットスイッチを介してリセット電位入力端子に接続したことを特徴とする請求項1記載の液晶表示装置。

【請求項3】 請求項2に記載の液晶表示装置において、リセット電位入力端子から信号線リセットスイッチを介して画素に信号を書き込み、その信号を検査回路で読み出して、画素の欠陥及び周辺回路の欠陥を検出することを特徴とする液晶表示装置の検査方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、液晶表示装置及びその検査方法に関するものである。

【0002】

【従来の技術】 図5に、従来のアクティブマトリックス型液晶表示装置の構成を示す。透明基板3.1上に共通電極と各画素電極の間に液晶材料を封入した液晶セルから成る液晶画素部3.2を多数マトリックス状に配設して、所望の広さの液晶表示部を構成している。また、各液晶画

素部32の隅には、TFTにより画素スイッチ33を小さく形成し、液晶表示部の周囲に配設したラインバッファ部34、水平シフトレジスタ35、垂直シフトレジスタ36により選択駆動しうる構成となっている。図6にトランジスタ等半導体装置を組んだ側の基板の構成例を示す。図示するように、水平シフトレジスタ35、垂直シフトレジスタ36等の周辺駆動回路には、NMOSトランジスタ75及びPMOSトランジスタ76から成るCMOSインバータ79が用いられ、また画素スイッチ33にはPMOSトランジスタ77が用いられる。78は映像信号蓄積用の保持容量部で、画素電極83、層間絶縁膜81、保持容量の共通電極82を順次配置して構成される。尚、図中、61は支持基板、62は下地絶縁層、63は素子分離酸化膜、64はNMOSトランジスタのソース領域、65はNMOSトランジスタのドレン領域、66、66はPMOSトランジスタのドレン領域、67、67はPMOSトランジスタのソース領域、68はゲート酸化膜、69はゲート電極、70はNMOSトランジスタのチャネル領域、71、71はPMOSトランジスタのチャネル領域、72はN型電界緩和領域、73、73はP型電界緩和領域、74はA1(配線)電極である。

【0003】上記のように構成した半導体側基板と、共通電極を設けたもう一方の基板とをスペーサを介して対向配置し、液晶を封入して液晶パネルとする。

【0004】従来、上記半導体側基板は、液晶セル組み工程へ入る前に、その画素の欠陥や周辺回路の欠陥の有無についての基板検査(電気的テスト)をウエハレベルで実施し、良品のものだけを後工程に移し、後工程の効率の向上と全体的な製造コストの低減とを図っている。この検査は、基板に電極針を当てて1ラインづつ電気的に動作を確認するテスティングにより行なっている。

#### 【0005】

【発明が解決しようとする課題】しかし、基板上の水平・垂直ラインである映像信号線やゲート信号線の数は膨大であり、また画像の緻密化の要求に伴ってラインの配列も増え高密度化が要求され、針当てが困難となって来ている。

【0006】本発明は、基板上の水平・垂直ラインへの針当てを必要とせずに、液晶表示装置の半導体側基板の半導体部位の電気的良否検査ができる検査回路を具備した液晶表示装置と、その電気的良否の検査をウエハレベルで実施しうる検査方法とを提供することにある。

#### 【0007】

【課題を解決するための手段】上記目的を達成するため、本発明の液晶表示装置の半導体側基板は、映像信号線に垂直走査回路で走査される画素トランジスタを介して液晶セルを接続し、各映像信号線をそれぞれ水平走査回路で制御される水平転送スイッチを介して共通の映像信号入力線に接続し、前記各映像信号線を、それぞれ前記水平走査回路で走査されるモニタ信号転送スイッチを介してモニタ信号線に接続し、前記モニタ信号線に、一度画素に書き込んだ信号を読み出すアンプ及び前記モニタ信号線を一定電位にリセットするリセットスイッチから成る検査回路を設けた構成のものである(請求項1)。この場合、前記映像信号線を信号線リセットスイッチを介してリセット電位入力端子に接続した構成とすることができる(請求項2)。

【0008】また、本発明の液晶表示装置の検査方法は、請求項2に記載の液晶表示装置の如く、リセット電位入力端子を具備する場合には、そのリセット電位入力端子から信号線リセットスイッチを介して画素に信号を書き込み、その信号を検査回路で読み出して、画素の欠陥及び周辺回路の欠陥を検出する(請求項3)。

#### 【0009】

【作用】液晶表示装置の半導体側基板の良否検査は、まず一定電圧の信号を走査して各画素に書き込む。この一定電圧は、請求項2に記載の液晶表示装置の半導体側基板においてはリセット電位入力端子から入力する。次に、この書き込まれた信号を画素を走査しつつアンプを通して読み出す。この読み出しは、例えば図2(イ)～(ハ)に示すように、水平走査回路の走査により水平転送スイッチがONしている期間の前半に信号を読み出し(図2のa点)、後半にリセットスイッチをON(図2のb点)するという手法で行なう。無事にリセットすることができれば、つまり信号が図2のb点で立ち下がれば、当該画素やラインにキズ等の欠陥はなかったと判断することができる。

【0010】かくして良品と判断された基板のみが後工程である液晶セル組み工程へ回されるため、後工程の効率を向上させ、液晶セルひいては液晶表示装置全体のコストダウンを図ることができる。

【0011】半導体側基板には検査回路が追加形成されるが、基板のごく一部を占有するだけであるので、そのまま保有しておいても何等不都合を生じない。

#### 【0012】

【実施例】以下、本発明を図示の実施例に基づいて説明する。

【0013】図1は本発明の第1の参考例に係る液晶表示装置の半導体側基板を示したもので、アクティブマトリクス液晶素子の駆動回路を有している。

【0014】1は映像信号線であり、各映像信号線1には、画素トランジスタ(画素TFT)3を介して、画素電極4及び共通電極5間に狭設された液晶セルの容量6が接続されている。2は画素トランジスタ3に対するゲート信号線であり、垂直走査回路(垂直シフトレジスタ)10から多数本延在されている。各映像信号線1は、それぞれ水平走査回路(水平シフトレジスタ)7で制御される水平転送スイッチ8を介して、共通の映像信号入力線9に接続されている。ここまで構成は特に従

来と異なる点はない。

【0015】しかし、従来の構成と異なり、この液晶表示装置の半導体側基板には、アンプ11及びリセットスイッチ13から成る検査回路Aが形成されている。即ち、映像信号入力線9にアンプ11が接続され、そのアンプ出力端子12が形成されていると共に、映像信号入力線9はリセットスイッチ13を介してリセット電位入力端子15へ接続されている。

【0016】かかる構成の半導体側基板の良否は、次の電気テストを行なうことにより検査できる。

【0017】まず、映像信号入力線9から一定電圧の信号を、水平走査回路7及び垂直走査回路10を走査し、画素電極4に書き込む。このとき、リセットスイッチ13はOFFにしておく。

【0018】次に、画素電極4に書き込まれた信号を水平走査回路7及び垂直走査回路10を走査し、アンプ11を通してアンプ出力端子12から読み出す。このとき、図2(イ)～(ハ)に示すように、水平走査回路7を走査して水平転送スイッチ8がONしている期間の前半に信号を読み出し(図2のa点)、後半にリセットスイッチ13をONし(図2のb点)、映像信号入力線9、映像信号線1、画素電極4を一定電位(リセット電位入力端子15の電位)にリセットする。無事にリセットすることができれば、つまりアンプ出力端子12から取り出される信号が図2のb点で立ち下がれば、映像信号入力線9、映像信号線1、画素電極4等の周辺回路にラインにキズ等の欠陥はなかったと判断することができ、同時に画素にも点キズ等の欠陥はなかったと判断することができる。

【0019】かくして良品と判断された基板は、後工程である液晶セル組み工程へ回され、共通電極を設けたもう一方の基板とスペーサを介して対向配置され、液晶を封入して液晶パネルに組み立てられる。この液晶セル組み工程後においては、上記検査回路Aは原則として不用な存在となるが、基板のごく一部を占有するだけであるので、そのまま保有しておいても何等問題を生じない。

【0020】このように、半導体側基板に予め検査回路Aをも形成しておくものであるため、検査台側に別個に水平走査回路7及び垂直走査回路10に相当する回路を用意する必要がなく、簡単な検査台で各基板の良否を判別することができる。また、従来のようにライン毎に針を当てることは必要でなく、単にリセット電位入力端子15へ電位を付与し、アンプ出力端子12から手取り出される信号を観察することで、キズの有無を判定することができるため、高密度の液晶表示装置に対してもその電気的検査が容易に行ない得る。

【0021】図3に基板の第2の参考例を示す。

【0022】符号1～15は参考例1と同じである。図1と異なる点は、映像信号線1が、信号線リセットスイッチ16を介してリセット電位入力端子18に接続され

ていること、及び信号線リセットスイッチ16へのリセット信号入力端子17が形成されていることにある。

【0023】この基板の検査においては、リセット信号入力端子17をONし、リセット電位入力端子18に印加した一定電位を垂直走査回路10を走査して画素4に書き込む。これは垂直プランギング期間に行う。次に垂直走査回路10及び水平走査回路7を走査し、アンプ11を通し、アンプ出力端子12から、画素4に書き込んだ信号をモニタで見れるビデオレートで取り出だす。この信号をモニタ画面に出し、画面上でキズの種類、位置を検出する。尚、組立後の液晶パネルにおける信号線リセットの仕方については、次の図4の説明において後述する。

【0024】図4に基板の実施例を示す。

【0025】回路要素の1～18は上記第2の参考例と同じであるが、検査回路Aの設けてある配線部位において図3と異なる。即ち、検査回路Aへ至るモニタ信号線20が設けられており、各映像信号線1は水平転送スイッチ8と同期して開閉制御されるモニタ信号転送スイッチ19を介して、このモニタ信号線20へ接続されている。また、各映像信号線1は、転送スイッチ21及び水平転送スイッチ8を介して、共通の映像信号入力線9に接続されている。尚、転送スイッチ21及び水平転送スイッチ8間から接地されているのはバッファ用の蓄積容量23である。この基板の検査は図3の場合と同様であり、リセット信号入力端子17をONし、リセット電位入力端子18に印加した一定電位を垂直走査回路10を走査して画素4に書き込む。これは垂直プランギング期間に行う。次に垂直走査回路10及び水平走査回路7を走査し、モニタ信号転送スイッチ19及びモニタ信号線20からアンプ11を通し、アンプ出力端子12から、画素4に書き込んだ信号をモニタで見れるビデオレートで取り出だす。この信号をモニタ画面に出し、画面上でキズの種類、位置を検出する。

【0026】ここで、組立後の液晶表示装置の線順次駆動方法を、図4の駆動回路を例にして説明しておく。

【0027】図4の構成において、1ライン分の映像信号が信号入力線9から順次入力されると、その映像信号の周波数に同期したパルスによって駆動している水平走査回路7によりスイッチングTFT8が順次オンされることによって、そのラインの各画素の映像信号が順次バッファ容量23に転送される。次に、この信号は、そのラインの最終ピットのバッファ容量23への信号転送が終了した後であって、次のラインの映像信号が信号入力線9に入力される前の期間、即ちいわゆるプランギング期間に、トランസファーゲート21及び画素トランジスタ3が同時にオンされることにより、そのラインの各画素の液晶セル6に転送される。この映像信号の各画素への転送は、プランギング期間の一部を使って行われる。そして、残ったプランギング期間を使って、信号配線1

の電圧を一定値に保持する動作が行われる。

【0028】この動作は、転送スイッチ21及び画素トランジスタ3がオフした後、信号線リセットスイッチ16をオンすることによって行う。信号線リセットスイッチ16がオンしている期間は、信号配線1に寄生している寄生容量を充電するに充分な時間以上で、かつ、ブランкиング期間が終了する以前の時間以内にオフする。即ち次の水平走査期間のブランкиング期間の開始まで、リセット電位入力端子18で固定された電圧に保持される。例えば、ハイビジョンTVの映像信号においては、1水平走査期間は約 $29\mu\text{sec}$ であり、そのうちのブランкиング期間は約 $3\mu\text{sec}$ である。従って、転送スイッチ21及び画素トランジスタ3がオンして映像信号が各画素に転送される時間、及び、信号配線1の電圧を一定値にするためのリセットスイッチ16がオンする時間は、共に $1\mu\text{sec}$ 位となる。従って、信号配線1の電圧は、水平走査期間の $1/29$ の時間だけ映像信号電圧に設定されるが、残りの $28/29$ の時間は常に一定電圧に保持されることになる。このような動作を繰り返すことで、信号配線1の電圧は、映像信号電圧が異なっても、全表示期間の殆ど全ての期間、一定電圧に保持されることになる。

【0029】上記した図1～図4の実施例、参考例では、映像信号入力線9から又はリセット電位入力端子18からの一定電位を、順次走査して画素4に書き込んだ。しかし、この代りに、光で書き込むこと、つまり画素トランジスタのドレインーチャネル接合で発生した光キャリアを画素に書き込むこともできる。

#### 【0030】

【発明の効果】以上述べたように、本発明によれば、次のような優れた効果が得られる。

【0031】(1) 請求項1～2の液晶表示装置は、予

め検査回路をも内包したものであるため、検査台側に別個に水平走査回路及び垂直走査回路に相当する回路を用意する必要がなく、簡単な検査台で各基板の良否を判別することができる。検査回路は半導体側基板のごく一部を占有するだけで形成できるので、そのまま保有しておいても何等不都合を生じない。

【0032】(2) 請求項3の液晶表示装置の検査方法は、まず一定電圧の信号を走査して各画素に書き込み、次に、この書き込まれた信号を画素を走査してアンプを通して読み出すことにより、当該画素やラインにおけるキズ等の欠陥の有無を判断するものであるため、従来のようにライン毎に針を当てることなしに、キズ等の欠陥の有無を判定することができ、高密度の液晶表示装置に対してもその基板検査が容易に行ない得る。

【0033】また、良品と判断された基板のみが後工程である液晶セル組み工程へ回されるため、後工程の効率を向上させ、液晶セルひいては液晶表示装置全体のコストダウンを図ることができる。

#### 【図面の簡単な説明】

【図1】本発明の第1の参考例に係る液晶表示装置の半導体側基板の駆動回路を示した図である。

【図2】図1の駆動回路における半導体部位の検査回路の動作を示す図である。

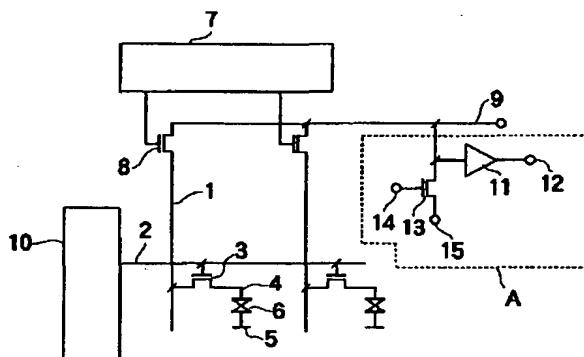
【図3】本発明の第2の参考例に係る液晶表示装置の半導体側基板の駆動回路を示した図である。

【図4】本発明の実施例に係る液晶表示装置の半導体側基板の駆動回路を示した図である。

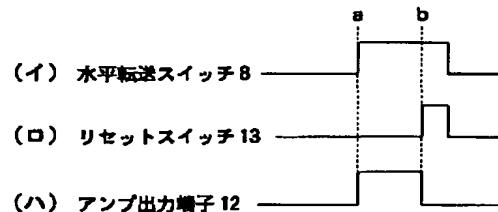
【図5】従来の液晶表示装置の駆動回路を示した図である。

【図6】従来の液晶表示装置の半導体装置側基板の構成例を示す部分断面図である。

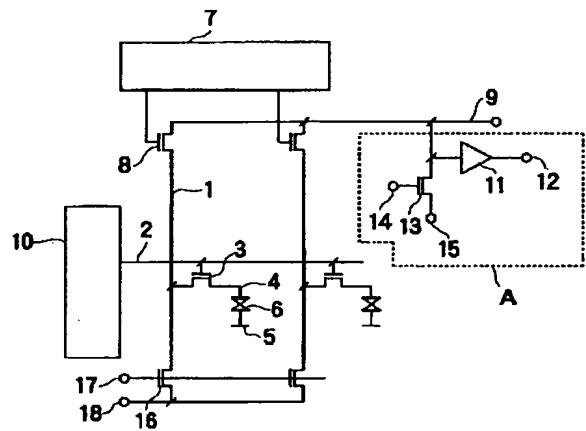
【図1】



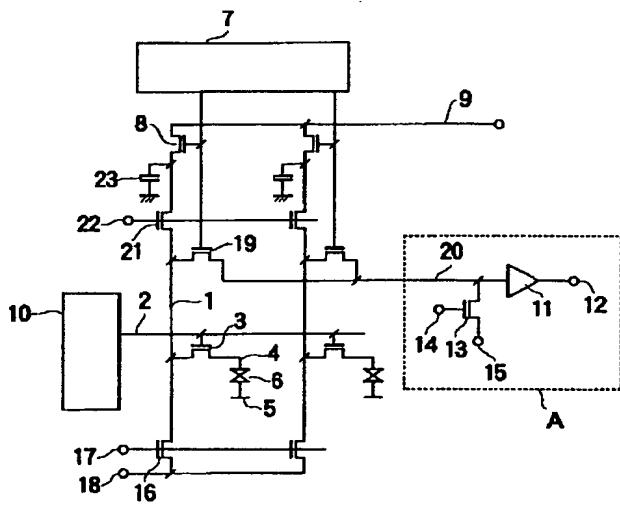
【図2】



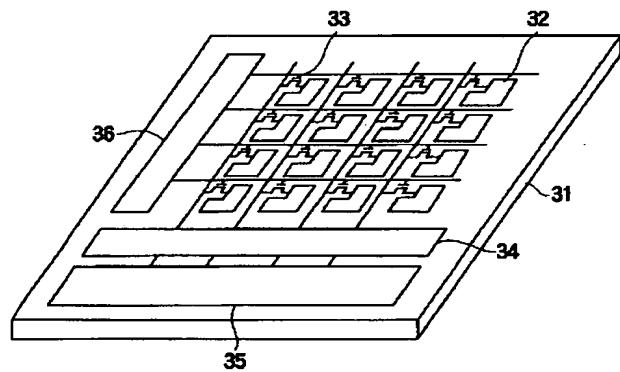
【図3】



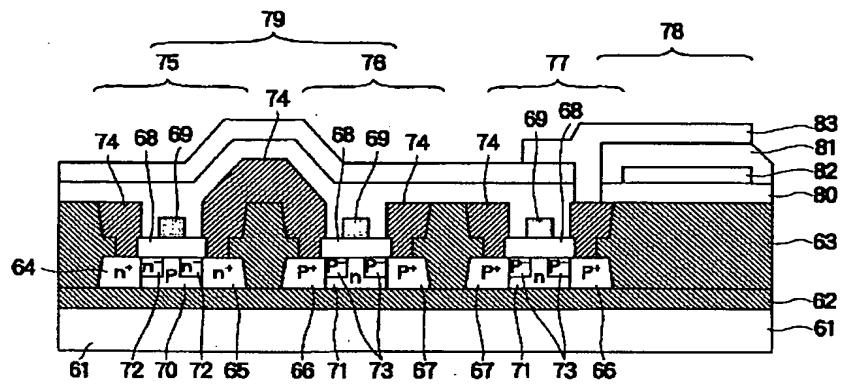
【図4】



【図5】



【図6】



○ フロントページの続き

(58)調査した分野(Int.Cl.7, DB名)

G02F 1/136  
G02F 1/133  
G02F 1/13 101

○